

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-312528

(43)Date of publication of application : 02.12.1997

(51)Int.Cl.

H03F 3/08
H03F 3/34
H04B 10/28
H04B 10/26
H04B 10/14
H04B 10/04
H04B 10/06

(21)Application number : 08-124628

(71)Applicant : NEC CORP

(22)Date of filing : 20.05.1996

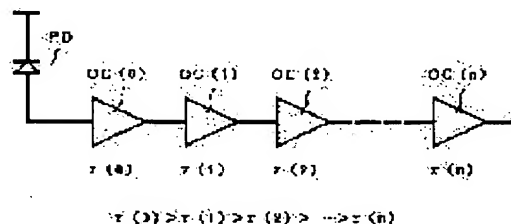
(72)Inventor : HATAKEYAMA ICHIROU
NAGABORI TAKESHI

(54) OPTICAL RECEIVER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optical receiver circuit whereby an output characteristic superior in stability and reliability is obtained by preventing interference when a received optical signal is amplified in amplifier circuits with the offset compensating circuits of a multi-stage configuration.

SOLUTION: The offset compensation circuits which are respectively provided in the plural amplifier circuits OC(0)-OC(n) being vertically multi-stage-connected are set so as to permit their respective time constants $\tau(i')$ to be smaller in the succeeding stage side amplifier circuit than in the preceding stage side amplifier circuit. That is, $\tau(i') > \tau(i'+1)$. The time constant in the offset compensating circuit becomes larger in the preceding stage amplifier circuit and its response is mitigated so as to reduce the pick-up of interference. When offset compensation becomes imperfect by the malfunction of the offset compensating circuit in a preceding stage, etc., the imperfection of offset compensation is compensated since the time constant is small in the succeeding state so that the stability and reliability of an output are improved.



LEGAL STATUS

[Date of request for examination] 20.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2814990

[Date of registration] 14.08.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2814990号

(45) 発行日 平成10年(1998)10月27日

(24) 登録日 平成10年(1998) 8月14日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 F 3/08

H 0 3 F 3/08

3/34

3/34

A

H 0 4 B 10/04

H 0 4 B 9/00

Y

10/06

10/14

請求項の数 5 (全 7 頁) 最終頁に続く

(21) 出願番号 特願平8-124628

(22) 出願日 平成 8 年(1996) 5 月20日

(65) 公開番号 特開平9-312528

(43) 公開日 平成 9 年(1997) 12 月 2 日

審査請求日 平成 8 年(1996) 5 月20日

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 畠山 意知郎

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72) 発明者 長堀 剛

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(74) 代理人 弁理士 鈴木 章夫

審査官 伊東 和重

(56) 参考文献 特開 平 6 - 310967 (J P, A)

特開 平 4 - 266207 (J P, A)

特開 平 8 - 279718 (J P, A)

最終頁に続く

(54) 【発明の名称】 光受信回路

(57) 【特許請求の範囲】

【請求項 1】 それぞれがオフセット補償機能を有する複数の増幅回路を多段に縦続接続した光受信回路において、各段の増幅回路のオフセット補償回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくなるように設定されたことを特徴とする光受信回路。

【請求項 2】 オフセット補償回路は、各段の増幅回路における正相出力と逆相出力のピークレベルを検出する回路を備え、これら検出されたピークレベルを等しくする帰還をかけるように構成され、かつ前記各ピークレベル検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる請求項 1 の光受信回路。

【請求項 3】 オフセット補償回路は、各段の増幅回路における正相出力と逆相出力の平均値を検出する回路を備え、この検出された平均値を等しくするよう帰還をか

けるように構成され、かつ前記平均値検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる請求項 1 の光受信回路。

【請求項 4】 オフセット補償回路は、前段の増幅回路の正相出力、逆相出力の各ピークレベルを検出する回路を備え、これら検出されたピークレベルを自段の増幅回路の互いに反対相である逆相入力、正相入力にそれぞれ加算するように構成され、かつ前記ピークレベル検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる請求項 1 の光受信回路。

【請求項 5】 オフセット補償回路は、前段の増幅回路の出力のピークレベルとボトムレベルをそれぞれ検出する回路を備え、これら検出されたピークレベルとボトムレベルの中間値を自段の増幅回路のリファレンス入力として差動増幅するように構成され、かつ前記ピークレベ

ル検出回路およびボトムレベル検出回路の各時定数は前段の増幅回路よりも後段側の増幅回路において小さくされることを特徴とする光受信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光アクセスシステム、光データリンク、光インターコネクション等における光受信回路に関し、特に受信デジタル信号を増幅するための増幅回路を多段に構成した光受信回路に関する。

【0002】

【従来の技術】この種の光受信回路では、受信デジタル信号を所要の利得にまで増幅するために増幅回路を多段に接続した増幅回路系が設けられる。また、単極性符号の受信デジタル信号を双極性符号に変換した増幅信号を得ることも行われており、そのために各増幅回路は差動増幅器で構成されることが多い。このため、この種の増幅回路を備える光受信回路では、増幅回路の正相出力と逆相出力との間のオフセット補償を行う回路が必要とされる。従来のこのようなオフセット補償を実現した光受信回路の一例を図6に示す。図6において、受光素子PDで受光した信号をプリアンプPREで増幅した後、縦続接続した n 段（ n は1以上の整数、以下同じ）の差動増幅器DAMP（1）～DAMP（ n ）で順次増幅する。そして、終段の正相出力と逆相出力の各平均値もしくはピークレベルを検出器PDにより検出し、かつこれらの値を入力とする帰還差動増幅器DAMP0の差動出力を初段の差動増幅器の入力に帰還することで、オフセット補償を行っている。

【0003】しかしながら、この回路構成では多段接続した n 個の差動増幅器の終段の増幅器の出力端から初段の増幅器の入力端にわたって帰還ループを配設する必要があるために、光受信回路をIC回路化する場合に、IC設計の際の回路レイアウトにおいて、帰還ループの規模を大きくとらなければならない。そのため、帰還ループの途中で干渉を拾い易くなり1チップIC化に適さないという問題がある。

【0004】このような問題を解決するものとして、図7に示すものが提案されている。この光受信回路では、フォトダイオードPDおよびプリアンプPREに縦続接続された n 段のリミッタ増幅器LIM（1）～LIM（ n ）のそれぞれが個々にオフセット補償を行うもので、各リミッタ増幅器LIM（1）～LIM（ n ）の正相出力、逆相出力のピークレベルをピークレベル検出器PD（1）P～PD（ n ）P、PD（1）N～PD（ n ）Nにより検出し、これらのレベルを入力とする帰還差動増幅器AMP（1）～AMP（ n ）の差動出力をリミッタ増幅器LIM（1）～LIM（ n ）のそれぞれの入力に帰還することで、各リミッタ増幅器の個々のオフセット補償を行っている。このような回路は、例え

ば、特開平6-310967号公報や1996年電子情報通信学会総合大会C-588等々に示されている。

【0005】

【発明が解決しようとする課題】この図7の回路では、個々の増幅器にオフセット補償回路の帰還ループが構成されるため、図6の回路のような終段から初段までの帰還ループは不要となり、その規模を小さくし、1チップIC化が実現可能となる。しかしながら、この図7の回路では、動作の高速化を図るために、初段から終段までの各段の増幅器におけるオフセット補償回路の補償時定数はそれぞれ等しく、しかも小さい値に設定されている。このため、各段の増幅器においてはそれぞれ瞬時にオフセット補償が実現されるものの、各段のオフセット補償機能の補償時定数が小さいため、各段のオフセット補償回路の応答が鋭敏となってEMI（電磁障害）による干渉を拾い易くなり、出力特性の安定性、信頼性が低下されるという問題が生じる。

【0006】本発明の目的は、このような干渉を防止して安定性、信頼性に優れた出力特性を得ることが可能な光受信回路を提供することにある。

【0007】

【課題を解決するための手段】本発明の光受信回路は、多段に縦続接続された複数の増幅回路にそれぞれ設けられるオフセット補償回路は、それぞれの時定数が前段の増幅回路よりも後段側の増幅回路において小さくなるように設定されたことを特徴とする。

【0008】例えば、本発明の好ましい形態としては、オフセット補償回路は、各段の増幅回路における正相出力と逆相出力のピークレベルを検出する回路を備え、これら検出されたピークレベルを等しくする帰還をかけるように構成され、かつ前記各ピークレベル検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる。

【0009】あるいは、オフセット補償回路は、各段の増幅回路における正相出力と逆相出力の平均値を検出する回路を備え、この検出された平均値を等しくするよう帰還をかけるように構成され、かつ前記平均値検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる。

【0010】また、オフセット補償回路は、前段の増幅回路の正相出力、逆相出力の各ピークレベルを検出する回路を備え、これら検出されたピークレベルを自段の増幅回路の互いに反対相である逆相入力、正相入力にそれぞれ加算するように構成され、かつ前記ピークレベル検出回路の時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる。

【0011】さらには、オフセット補償回路は、前段の増幅回路の出力のピークレベルとボトムレベルをそれぞれ検出する回路を備え、これら検出されたピークレベルとボトムレベルの中間値を自段の増幅回路のリファレン

ス入力として差動増幅するように構成され、かつ前記ピークレベル検出回路およびボトムレベル検出回路の各時定数は前段の増幅回路よりも後段側の増幅回路において小さくされる。

【0012】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1は本発明の概念構成を示すブロック図である。入力光信号を電流に変換するフォトダイオードPDと、このフォトダイオードPDの後段に縦続接続された $n+1$ 段のオフセット補償機能付きリミッタ増幅回路OC(i) [$i=0, 1, \dots, n$:以下同じ]からなる増幅回路系とで構成される。フォトダイオードPDより光電変換された電気信号は単極性信号であり、この信号を後段の増幅回路系により双極性符号に変換する。そして、各オフセット制御機能付きリミッタ増幅回路OC(i)におけるオフセット補償時定数 $\tau(i')$ は、 $\tau(i') > \tau(i'+1)$ [$i'=0, 1, 2, \dots, n-1$:以下同じ]、すなわち前段よりも後段側の時定数が小さくなるように設定されており、図1の構成では、初段の増幅回路OC(0)で最も大きく、終段側へ行くにしたがって小さくされ、終段の増幅回路OC(n)で最も小さく設定されている。

【0013】この構成によれば、前段のオフセット補償回路で補正が不十分な残留オフセットは、後段のオフセット補償回路で補正されることになる。したがって、最も信号レベルが小さくIC回路の内外の干渉を受け易い初段の増幅回路OC(0)において、EMIによってオフセット補償回路が誤動作して、オフセット補正が不完全となった場合でも、後段の増幅回路のオフセット補償回路の時定数の方が小さいため、瞬時に後段でオフセット補正が行われることになる。これにより、干渉による補償動作の不安定性が改善され、安定性、信頼性に優れた出力特性を得ることが可能となる。因みに、前後段の時定数の関係が逆の場合には、後段でのオフセット補正に時間を要してバースト誤りが起こり易い上に、前段へ行くほどオフセット補償回路の応答が鋭敏となって干渉を拾い易くなる。

【0014】図2は本発明の第1の実施形態のブロック回路図である。図2において、図1に対応する部分には同一符号を付してある。前記した $n+1$ 段の各オフセット補償機能付増幅回路OC(i)は、増幅器として差動増幅型のリミッタ増幅器LIM(i)で構成される。また、ここでは、 $i=0$ となる初段増幅回路OC(0)はの増幅器プリアンプPREとして構成されている。そして、各増幅回路OC(i)に設けられるオフセット補償回路は、各リミッタ増幅器LIM(i)の正相出力と逆相出力の各ピークレベルを検出するピークレベル検出回路PD(i)P, PD(i)Nと、各ピークレベル検出回路で検出されるピークレベルの差動出力をそれぞれ正相入力、逆相入力に帰還させる差動増幅器AMP(i)

とで構成される。ここで、各段のオフセット補償回路のピークレベル検出回路の時定数 $\tau PD(i')P$, $\tau PD(i')N$ は、前段の時定数とその直後の時定数よりも大きくされており、初段の増幅回路の時定数が最も大きく、後段の増幅回路の時定数が最も小さくされている。すなわち、 $\tau PD(i')P > \tau PD(i'+1)P$, $\tau PD(i')N > \tau PD(i'+1)N$ とされている。

【0015】したがって、各段の増幅回路OC(i)においては、それぞれのリミッタ増幅器LIM(i)の正相出力と逆相出力のそれぞれのピークレベルがピークレベル検出回路PD(i)P, PD(i)Nにおいて検出され、帰還差動増幅器AMP(i)においてこれらピークレベルが等しくなるように正相入力と逆相入力のそれぞれのレベルが帰還制御されることでオフセット補償が達成される。そして、このオフセット補償に際しては、前段の増幅回路のピークレベル検出回路の時定数 $\tau PD(i')P$, $\tau PD(i')N$ が後段の増幅回路の時定数 $\tau PD(i'+1)P$, $\tau PD(i'+1)N$ よりも大きいため、前段では緩やかにオフセット補償が実行され、後段ではそれよりも速くオフセット補償が実行される。したがって、初段の増幅回路OC(0)において、EMI等によりオフセット補償回路が誤動作され、オフセット補償が不完全となった場合でも、後段の増幅回路のオフセット補償回路において瞬時に後段でオフセット補償が行われることになる。これにより、終段の増幅回路OC(n)からの出力における補償動作の不安定性が改善され、安定性、信頼性に優れた出力特性を得ることが可能となる。

【0016】図3は本発明の第2の実施形態の例を示すブロック図であり、図1および図2に対応する部分には同一符号を付してある。この第2の実施形態においては、各段の増幅回路OC(i)に設けられているリミッタ増幅器LIM(i)のオフセット補償回路として、リミッタ増幅器LIM(i)の正相出力、逆相出力の平均値を検出する平均値検出回路AD(i)を用いており、帰還差動増幅器AMP(i)がこれら平均化出力によりリミッタ増幅器LIM(i)の各入力を制御することでオフセット補償が達成される。そして、この平均値検出回路AD(i)における時定数 $\tau AD(i')$ は、前段の増幅回路の時定数が、後段の増幅回路の時定数よりも大きくされている。すなわち、 $\tau AD(i') > \tau AD(i'+1)$ 。

【0017】この第2の実施形態では、各段の増幅回路OC(i)においては、それぞれのリミッタ増幅器LIM(i)の正相出力と逆相出力の平均値が平均値検出回路AD(i)において検出され、帰還差動増幅器AMP(i)において正相入力と逆相入力のそれぞれのレベルが平均値となるように帰還制御されることで、オフセット補償が達成される。そして、このオフセット補償に際

しても、前段の増幅回路の平均値検出回路の時定数が後段の増幅回路の時定数よりも大きいため、前段では緩やかにオフセット補償が実行され、後段ではそれよりも速くオフセット補償が実行され、その結果、初段の増幅回路においてオフセット補償が不完全となった場合でも、後段の増幅回路のオフセット補償回路において瞬時に後段でオフセット補償が行われ、終段の増幅回路からの出力における補償動作の不安定性が改善され、安定性、信頼性に優れた出力特性を得ることが可能となる。

【0018】図4は本発明の第3の実施形態の例を示すブロック図であり、図1と図2に対応する部分には同一符号を付してある。この実施形態では、各段の増幅回路OC(i)のオフセット補償回路として、第1の実施形態と同様に正相出力、逆相出力のピークレベルを検出するピークレベル検出回路PD(i)P、PD(i)Nを備えているが、ここでは、前段の正相出力、逆相出力のピークレベルを検出し、この検出したピークレベルを対向する出力、すなわち逆相出力、正相出力にそれぞれ加算する構成がとられている。また、この場合においても、各ピークレベル検出回路 $\tau PD(i')P$ 、 $\tau PD(i')N$ の時定数の大小関係は、前段の時定数が後段の時定数よりも大きく設定されている。すなわち、 $\tau PD(i')P > \tau PD(i'+1)P$ 、 $\tau PD(i')N > \tau PD(i'+1)N$ 。

【0019】この第3の実施形態では、各段の増幅回路においては、前段の増幅回路の正相出力、逆相出力の差電圧を差動増幅回路で構成されるリミッタ増幅器により増幅することになるため、その出力のオフセット補償が達成されることになる。この場合においても、前段の増幅回路のピークレベル検出回路の時定数が後段の増幅回路の時定数よりも大きいため、前記第1および第2の各実施形態と同様に、初段の増幅回路においてオフセット補償が不完全となった場合でも、後段の増幅回路のオフセット補償回路において瞬時に後段でオフセット補償が行われることになり、安定性、信頼性に優れた出力特性を得ることが可能となる。

【0020】図5は本発明の第4の実施形態の例を示すブロック図である。この実施形態では、単極性の受信デジタル信号を単極性のまま多段増幅する例を示している。すなわち、 $n+1$ 段の各増幅回路OC(i)はそれぞれ差動増幅器からなるリミッタ増幅器LIM(i)で構成され、その正相出力に相当する出力のみが後段の増幅回路の正相入力に出力されるように構成されている。そして、各段の増幅回路のオフセット補償回路として、前段の増幅回路の出力のピークレベルとボトムレベルをそれぞれ検出するピークレベル検出回路PD(i)とボトムレベル検出回路BD(i)を有し、かつこれらレベル検出回路の出力を抵抗R1、R2で分圧した中間値を後段のリミッタ増幅器LIM(i)のリファレンスとして出力する回路として構成したものである。そして、各

段のピークレベル検出回路PD(i)、ボトムレベル検出回路BD(i)の各時定数 $\tau PD(i')$ 、 $\tau BD(i')$ は、前段の増幅回路のものが後段の増幅回路のものよりも大きくなるように設定されている。すなわち、 $\tau PD(i') > \tau PD(i'+1)$ 、 $\tau BD(i') > \tau BD(i'+1)$ 。

【0021】この第4の実施形態では、各段の増幅回路では、前段増幅回路の出力と、前段増幅回路の出力のピークレベルとボトムレベルの中間値として得られたリファレンスの差電圧をリミッタ増幅器LIM(i)により差動増幅することによりオフセット補償が達成される。この場合においても、前段の増幅回路のピークおよびボトムの各レベル検出回路の時定数が後段の増幅回路の時定数よりも大きいため、初段の増幅回路においてオフセット補償が不完全となった場合でも、後段の増幅回路のオフセット補償回路において瞬時に後段でオフセット補償が行われることになり、安定性、信頼性に優れた出力特性を得ることが可能となる。

【0022】

【発明の効果】以上説明したように本発明は、多段に連続接続された複数の増幅回路にそれぞれ設けられるオフセット補償回路は、それぞれの時定数が前段の増幅回路よりも後段側の増幅回路において小さくなるように設定されているので、前段の増幅回路においてはオフセット補償回路の時定数が大きくされ、その応答が緩和されて干渉を拾うことは少なくなる。また、前段においてEMI等の影響を受けてオフセット補償回路が誤動作する等してオフセット補償が不完全となった場合でも、後段では時定数が小さいためにこのオフセット補償の不完全を補うことができる。これにより、安定性、信頼性に優れた光受信出力を得ることができる。また、個々のオフセット補償回路を備える増幅回路は帰還ループが小さくてすみ、その回路規模が小さくできるため、1チップIC化への適用が可能となる。

【図面の簡単な説明】

【図1】本発明の概念構成を示すブロック図である。

【図2】本発明の第1の実施形態のブロック回路図である。

【図3】本発明の第2の実施形態のブロック回路図である。

【図4】本発明の第3の実施形態のブロック回路図である。

【図5】本発明の第4の実施形態のブロック回路図である。

【図6】従来の光受信回路の一例のブロック回路図である。

【図7】従来の改善された光受信回路のブロック回路図である。

【符号の説明】

OC(i) オフセット補償機能付増幅回路

LIM (i) リミッタ増幅器

PD (i) P, PD (i) N ピークレベル検出回路

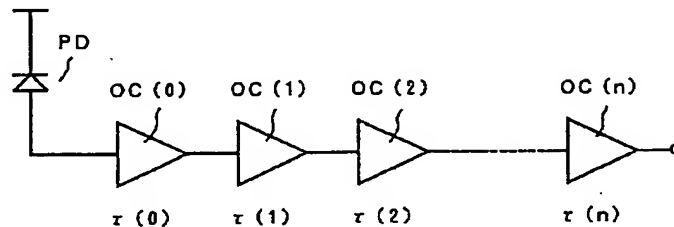
AMP (i) 帰還差動増幅器

AD (i) 平均値検出回路

BD (i) ボトムレベル検出回路

 $\tau (i')$ オフセット補償時定数

【図1】

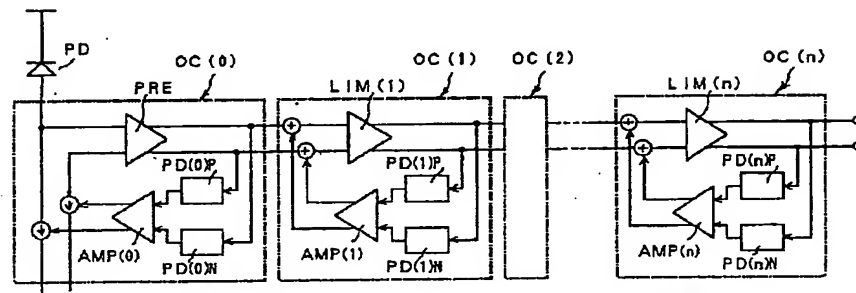


$$\tau(0) > \tau(1) > \tau(2) > \dots > \tau(n)$$

OC (0) ~ OC (n) オフセット補償機能付増幅回路

 $\tau(0) \sim \tau(n)$ オフセット補償時定数

【図2】



LIM (i) リミッタ増幅器

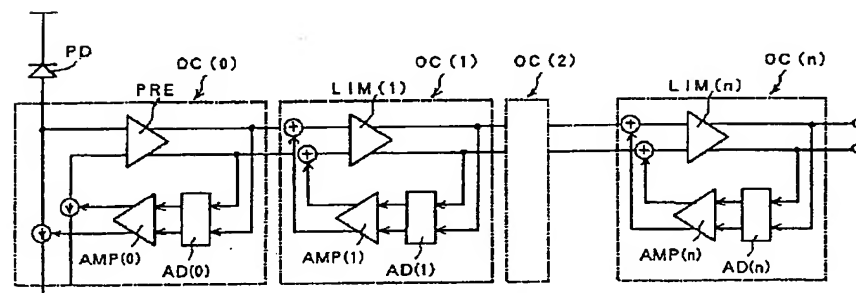
 $\tau PD(i')N, \tau PD(i')P$ 時定数

PD (i) N, PD (i) P ピーク検出回路

AMP (i) 帰還差動増幅器

$$\tau PD(i')N > \tau PD(i'+1)N, \tau PD(i')P > \tau PD(i'+1)P$$

【図3】



LIM (i) リミッタ増幅器

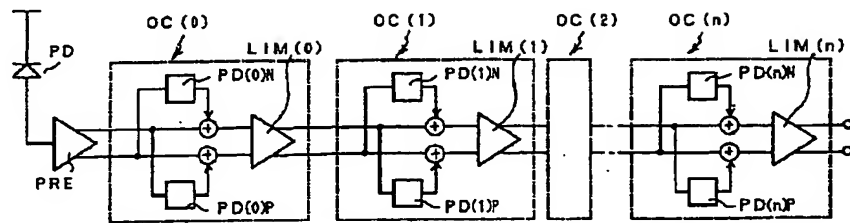
 $\tau AD(i')$ 時定数

AD (i) 平均値検出回路

AMP (i) 帰還差動増幅器

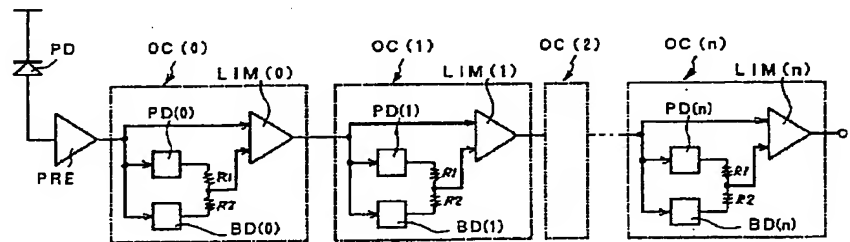
$$\tau AD(0) > \tau AD(1) > \tau AD(2) > \dots > \tau AD(n)$$

【図4】



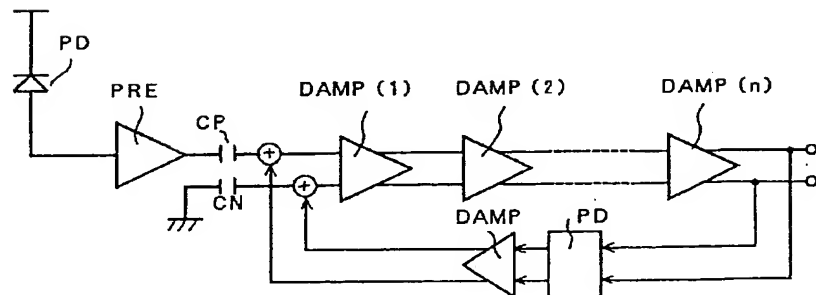
LIM(i) リミッタ増幅器 $\tau PD(i')N, \tau PD(i')P$ 時定数
 PD(i)N, PD(i)P ピーク検出回路
 $\tau PD(0)P > \tau PD(1)P > \tau PD(2)P > \dots > \tau PD(n)P$
 $\tau PD(0)N > \tau PD(1)N > \tau PD(2)N > \dots > \tau PD(n)N$

【図5】

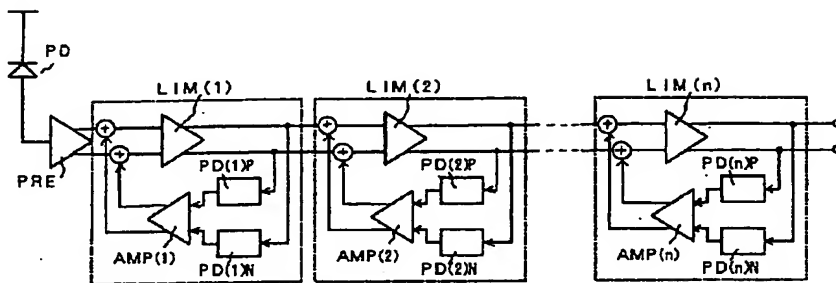


LIM(i) リミッタ増幅器 $\tau PD(i'), \tau BD(i')$ 時定数
 PD(i) ピーク検出回路 BD(i) ボトム検出回路
 $\tau PD(0) > \tau PD(1) > \tau PD(2) > \dots > \tau PD(n)$
 $\tau BD(0) > \tau BD(1) > \tau BD(2) > \dots > \tau BD(n)$

【図6】



【図7】



$LIM(i)$ リミッタ増幅器 $\tau PD(i')N, \tau PD(i')P$ 時定数
 $PD(i)N, PD(i)P$ ピーク検出回路 $AMP(i)$ 電圧変動増幅器
 $\tau PD(1)P \approx \tau PD(2)P \approx \tau PD(3)P \approx \dots \tau PD(n)P$
 $\tau PD(1)N \approx \tau PD(2)N \approx \tau PD(3)N \approx \dots \tau PD(n)N$

フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H04B 10/26

10/28

(58) 調査した分野(Int. Cl.⁶, DB名)

H03F 3/08

H03F 3/34

H03F 3/45

H04B 10/00 - 10/28